

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-320496

(43)Date of publication of application : 08.12.1995

(51)Int.Cl.

G11C 29/00  
 G11C 16/06  
 H01L 21/82  
 H01L 27/115  
 H01L 21/8247  
 H01L 29/788  
 H01L 29/792

(21)Application number : 06-112579

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.05.1994

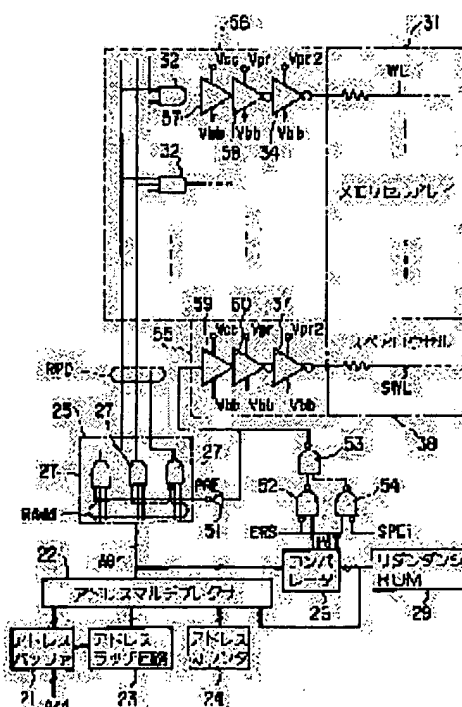
(72)Inventor : OTSUKA NOBUAKI  
 ATSUMI SHIGERU

## (54) NON-VOLATILE SEMICONDUCTOR MEMORY

## (57)Abstract:

**PURPOSE:** To obtain a nonvolatile semiconductor memory which can relieve a cell having defective insulating film and of defective write-in, simplify the erasing sequence and shorten the time for it.

**CONSTITUTION:** This device is a flash memory provided with a redundancy circuit relieving a defective cell by replacing it with a spare cell. A row address of a defective cell to be replaced with a spare cell is stored in a redundancy circuit ROM 29, it is monitored by a comparator 26 whether an inputted row address coincides with a defective row address stored in the redundancy ROM 29 or not, and when they coincide with each other, the row address stored in the redundancy ROM 29 is selected by an address multiplexer 22, and transferred to an address bus AB. When a negative potential is applied to a control gate of a cell and erasing is performed, since a defective row is selected and fixed to a ground potential, it can be evaded that a negative potential is applied to a defective row, and a cell of a defective insulating film and a cell of defective write-in can be surely relieved.



## LEGAL STATUS

[Date of request for examination]

28.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 3441161

[Date of registration] 20.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-320496

(43) 公開日 平成7年(1995)12月8日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 29/00

16/06

H 0 1 L 21/82

識別記号

3 0 1 B

庁内整理番号

7004-5L

F I

技術表示箇所

G 1 1 C 17/00

3 0 9 F

H 0 1 L 21/82

R

審査請求 未請求 請求項の数14 OL (全 18 頁) 最終頁に続く

(21) 出願番号 特願平6-112579

(22) 出願日 平成6年(1994)5月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大塚 伸朗

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

(72) 発明者 渥美 滋

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

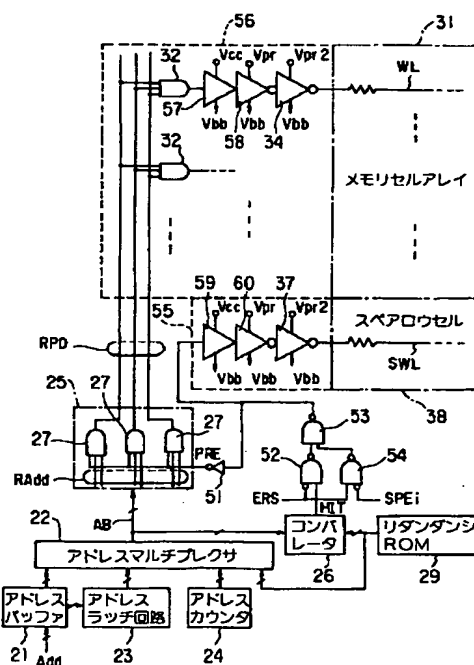
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 絶縁膜や書き込み不良のセルを救済でき、且つ消去シーケンスの単純化と時間短縮を図れる不揮発性半導体記憶装置を提供することを目的とする。

【構成】 不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備えたフラッシュメモリにおいて、スペアセルに置き換えるべき不良セルのロウアドレスをリダンダンシROM 29に記憶し、入力されたロウアドレスが上記リダンダンシROM 29に記憶された不良ロウアドレスと一致するか否かコンパレータ 26で監視し、一致した時、リダンダンシROM 29に記憶したロウアドレスをアドレスマルチプレクサ 22で選択してアドレスバス AB に転送するようにしている。セルのコントロールゲートに負電位を印加して消去を行う時、不良ロウを選択して接地電位に固定するので、不良ロウへの負電位の印加を回避でき、絶縁膜不良のセルや書き込み不良のセルを確実に救済することを特徴としている。



1

## 【特許請求の範囲】

【請求項1】 不良セルをスペアセルに置き換えて救済するリダンダンシ手段と、スペアセルに置き換えるべき不良セルのアドレスを記憶する不良アドレス記憶手段と、消去時に上記不良アドレス記憶手段に記憶された不良セルのアドレスをチップ内部のアドレスバスに転送する転送手段とを具備することを特徴とする不揮発性半導体記憶装置。

【請求項2】 不良セルをスペアセルに置き換えて救済するリダンダンシ手段と、スペアセルに置き換えるべき不良セルのアドレスを記憶する不良アドレス記憶手段と、入力されたアドレスをラッチし、このラッチしたアドレスをチップ内部のアドレスバスに転送するアドレスラッチ手段と、上記不良アドレス記憶手段に記憶されたアドレスを上記アドレスラッチ手段に転送する転送手段とを具備し、データの消去時に上記アドレスラッチ手段にラッチした不良セルのアドレスをチップ内部のアドレスバスに転送することを特徴とする不揮発性半導体記憶装置。

【請求項3】 不良セルをスペアセルに置き換えて救済するリダンダンシ手段と、スペアセルに置き換えるべき不良セルのアドレスを記憶する不良アドレス記憶手段と、ロウデコード信号をロウ毎にラッチする第1のラッチ手段と、スペアセルを選択するための信号をスペアロウ毎にラッチする第2のラッチ手段と、消去に先だって上記不良アドレス記憶手段に記憶された不良セルのアドレスにより選択されるロウに対応する上記第1のラッチ手段とスペアロウのうち未使用のロウに対応する上記第2のラッチ手段に関して、不良ではないロウに対応する上記第1のラッチ手段とスペアロウのうちの使用しているロウに対応する上記第2のラッチ手段に対して選択／非選択の逆の状態をセットする手段とを具備し、上記第1、第2のラッチ手段にラッチしたデータに基づいて消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項4】 不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備え、セルトランジスタのコントロールゲートに負のバイアスを与えて消去を行うフラッシュメモリにおいて、不良セルのロウアドレスを記憶する不良ロウアドレス記憶手段と、チップ内部のアドレスバスに出力されたアドレスを上記不良ロウアドレス記憶手段に記憶されたロウアドレスと比較するアドレス比較手段と、記憶データの消去時に、上記アドレス比較手段でアドレスの一致が検知された時、スペアロウセルを選択するスペアロウデコード手段を制御し、チップ内部のアドレスバスに出力された不良ロウアドレスをロウデコード手段に転送する転送制御手段と、この転送制御手段によって転送されたロウアドレスをロウデコード手段でデコードした信号に基づいて不良ロウアドレスのワード線に接地電位を与える電位印加手段とを具備することを特徴とする不揮発性半導体記憶装置。

2

【請求項5】 消去時に、前記アドレス比較手段でアドレスの一致が検出された時、前記不良アドレス記憶手段に記憶された不良ロウアドレスを選択して上記アドレスバスに転送するアドレス選択手段を備えることを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 消去時に、前記アドレス比較手段でアドレスの一致が検出された時、アドレス生成手段で生成されたアドレスをラッチするアドレスラッチ手段と、このアドレスラッチ手段にラッチされたアドレスを上記アドレスバスに転送するアドレス選択手段とを備えることを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項7】 前記電位印加手段は、デコード信号の低レベル側を第1の電位にシフトする第1のレベルシフト手段と、この第1のレベルシフト手段の出力信号の高レベル側を第2の電位にシフトする第2のレベルシフト手段と、この第2のレベルシフト手段の出力信号が供給され、第3の電位と上記第1の電位間の電圧で動作し、ワード線を駆動する第1のバッファ手段とを備えることを特徴とする請求項4ないし6いずれか1つの項に記載の不揮発性半導体記憶装置。

【請求項8】 前記スペアロウデコード手段の出力信号の低レベル側を上記第1の電位にシフトする第3のレベルシフト手段と、この第3のレベルシフト手段の出力信号の高レベル側を上記第2の電位にシフトする第4のレベルシフト手段と、この第4のレベルシフト手段の出力信号が供給され、上記第3の電位と上記第1の電位間の電圧で動作し、ワード線を駆動する第2のバッファ手段とを備えることを特徴とする請求項7に記載の不揮発性半導体記憶装置。

【請求項9】 ロウデコード信号をラッチする第1のラッチ手段と、スペアロウデコード信号をラッチする第2のラッチ手段とを具備し、消去に先だって上記不良ロウアドレス記憶手段に記憶されたアドレスにより選択されるロウに対応する上記第1のラッチ手段及びスペアロウの未使用のロウに対応する上記第2のラッチ手段をラッチ状態にセットし、上記第1、第2のラッチ手段にラッチしたデータに応じて消去を行うことを特徴とする請求項4ないし8いずれか1つの項に記載の不揮発性半導体記憶装置。

【請求項10】 不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備え、セルトランジスタのコントロールゲートに負のバイアスを与えて消去を行うフラッシュメモリにおいて、アドレス信号が入力されるアドレスバッファと、このアドレスバッファに入力されたアドレス信号をラッチするアドレスラッチ回路と、アドレス信号を生成するアドレスカウンタと、不良ロウアドレスを記憶するリダンダンシROMと、上記アドレスバッファ、上記アドレスラッチ回路、上記アドレスカウンタ及び上記リダンダンシROMの出力が供給され、これらの出力を選択的にチップ内部のアドレスバスに出力す

3

るアドレスマルチプレクサと、上記アドレスバスに出力されたロウアドレスと上記リダンダンシROMに記憶された不良ロウアドレスとを比較するコンパレータと、上記アドレスバスに出力されたロウアドレスをデコードするロウブリデコードと、このロウブリデコードから出力されるロウブリデコード信号が供給されるメインデコードと、このメインデコードの出力でワード線が選択されることによりメモリセルのロウが選択されるメモリセルアレイと、上記メモリセルアレイの不良ロウを置換するためのスペアロウセルと、このスペアロウセルを選択するスペアロウデコードと、記憶データの消去時に上記コンパレータによりロウアドレスの一致が検出された時、上記ロウブリデコードを活性化するとともに、上記スペアロウデコードを駆動してスペアロウセルを制御する論理回路とを具備し、前記メインロウデコードは、記憶データの消去時にメモリセルアレイ中の不良セルが接続されたワード線に接地電位を与える第1のバイアス手段を備え、前記スペアロウデコードは、記憶データの消去時に未使用のスペアワード線に接地電位を与える第2のバイアス手段を備えることを特徴とする不揮発性半導体記憶装置。

【請求項11】 不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備え、セルトランジスタのコントロールゲートに負のバイアスを与えて消去を行うフラッシュメモリにおいて、アドレス信号が入力されるアドレスバッファと、アドレス信号を生成するアドレスカウンタと、上記アドレスバッファに入力されたアドレス信号及び上記アドレスカウンタで生成されたアドレス信号を選択的にラッチするアドレスラッチ回路と、不良ロウアドレスを記憶するリダンダンシROMと、上記アドレスバッファ、上記アドレスラッチ回路及び上記アドレスカウンタの出力が供給され、これらの出力を選択的にチップ内部のアドレスバスに出力するアドレスマルチプレクサと、上記アドレスバスに出力されたロウアドレスと上記リダンダンシROMに記憶された不良ロウアドレスとを比較し、一致した時に一致信号を出力して上記アドレスラッチ回路を制御し、上記アドレスカウンタで生成したロウアドレスを上記アドレスラッチ回路にラッチさせるコンパレータと、上記アドレスバスに出力されたロウアドレスをデコードするロウブリデコードと、このロウブリデコードから出力されるロウブリデコード信号が供給されるメインデコードと、このメインデコードの出力でワード線が選択されることによりメモリセルのロウが選択されるメモリセルアレイと、上記メモリセルアレイの不良ロウを置換するためのスペアロウセルと、このスペアロウセルを選択するスペアロウデコードと、記憶データの消去時に上記コンパレータにより一致が検出された時、上記ロウブリデコードを活性化するとともに、上記スペアロウデコードを駆動してスペアロウセルを制御する論理回路とを具備し、前記メインロウデコー

4

ダは、記憶データの消去時にメモリセルアレイ中の不良セルが接続されたワード線に接地電位を与える第1のバイアス手段を備え、前記スペアロウデコードは、記憶データの消去時に未使用のスペアワード線に接地電位を与える第2のバイアス手段を備えることを特徴とする不揮発性半導体記憶装置。

【請求項12】 前記第1のバイアス手段は、デコード信号の低レベル側をバイアス電位にシフトする第1のレベルシフタと、この第1のレベルシフタの出力信号の高レベル側を第1の電位にシフトする第2のレベルシフタと、この第2のレベルシフタの出力信号が供給され、第2の電位と上記バイアス電位間の電圧で動作し、ワード線を駆動する第1のバッファとを備え、前記第2のバイアス手段は、デコード信号の低レベル側を上記バイアス電位にシフトする第3のレベルシフタと、この第3のレベルシフタの出力信号の高レベル側を上記第1の電位にシフトする第4のレベルシフタと、上記第2の電位と上記バイアス電位間の電圧で動作し、スペアワード線を駆動する第2のバッファとを備え、上記バイアス電位は、読み出し及び書き込み時に接地電位、消去時に負電位であり、上記第1の電位は、読み出し及び消去時に電源電位、書き込み時に書き込み用の高電位であり、上記第2の電位は、読み出し時に電源電位、書き込み時に上記書き込み用の高電位、消去時に接地電位であることを特徴とする請求項10または請求項11に記載の不揮発性半導体記憶装置。

【請求項13】 不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備え、セルトランジスタのコントロールゲートに負のバイアスを与えて消去を行うフラッシュメモリにおいて、アドレス信号が入力されるアドレスバッファと、このアドレスバッファに入力されたアドレス信号をラッチするアドレスラッチ回路と、アドレス信号を生成するアドレスカウンタと、不良ロウアドレスを記憶するリダンダンシROMと、上記アドレスバッファ、上記アドレスラッチ回路及び上記アドレスカウンタの出力が供給され、選択したアドレスをチップ内部のアドレスバスに出力するアドレスマルチプレクサと、上記アドレスバスに出力されたロウアドレスと上記リダンダンシROMに記憶された不良ロウアドレスとを比較するコンパレータと、上記アドレスバスに出力されたロウアドレスをデコードするロウブリデコードと、上記ロウブリデコードから出力されるロウブリデコード信号をデコードするメインデコードと、上記メインデコードのデコード信号をロウ毎にラッチする第1のラッチ回路と、この第1のラッチ回路にラッチされたデコード信号に基づいてワード線が選択されることによりメモリセルのロウが選択されるメモリセルアレイと、上記メモリセルアレイの不良ロウを置換するためのスペアロウセルと、上記スペアロウセルを選択するスペアロウデコードと、上記スペアロウデコードから出力されるデコード信

5

号をスペアロウ毎にラッチする第2のラッチ回路と、記憶データの消去時に上記コンパレータによりアドレスの一致が検出された時、上記ロウブリデコードを活性化するとともに、上記スペアロウデコード内の第2のラッチ回路をセットしてスペアロウセルを制御する論理回路とを具備し、前記メインロウデコードは、記憶データの消去時にメモリアルレイ中の不良セルが接続されたワード線に接地電位を与える第1のバイアス手段を備え、前記スペアロウデコードは、記憶データの消去時に未使用のスペアワード線に接地電位を与える第2のバイアス手段を備えることを特徴とする不揮発性半導体記憶装置。

【請求項14】 前記第1のバイアス手段は、前記第1のラッチ回路の出力信号を電源電位とバイアス電位との間のレベルにシフトする第1のレベルシフタと、この第1のレベルシフタの出力信号を第1の電圧と上記バイアス電位とのレベルにシフトする第2のレベルシフタと、この第2のレベルシフタの出力信号のレベルを第2の電位と上記バイアス電位との間のレベルにして出力する第1のバッファとを備え、前記第2のバイアス手段は、前記第2のラッチ回路の出力信号を上記電源電位と上記バイアス電位との間のレベルにシフトする第3のレベルシフタと、この第3のレベルシフタの出力信号を上記第1の電圧と上記バイアス電位とのレベルにシフトする第4のレベルシフタと、この第4のレベルシフタの出力信号のレベルを上記第2の電位と上記バイアス電位との間のレベルにして出力する第2のバッファとを備え、上記バイアス電位は、読み出し及び書き込み時に接地電位、消去時に負電位であり、上記第1の電位は、読み出し及び消去時に電源電位、書き込み時に書き込み用の高電位であり、上記第2の電位は、読み出し時に電源電位、書き込み時に上記書き込み用の高電位、消去時に接地電位であることを特徴とする請求項13に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、不揮発性半導体記憶装置に関するもので、特にフラッシュメモリにおけるロウデコード回路に係る。

【0002】

【従来の技術】 フラッシュメモリは、データの書き込み及び消去を電気的に行うことができる不揮発性半導体記憶装置（EEPROM: Electrically Erasable Programmable Read Only Memory）である。現在、主流となっているフラッシュメモリのセルは、図10に示すように二層ゲート構造のEPROM（Erasable Read Only Memory: 紫外線消去型EPROM）と同様な構造になっている。図10において、11は半導体基板、12はソース、13はドレイン、14はトンネル酸化膜、15はフローティングゲート、16は絶縁膜（インターポリ絶縁膜と呼ばれる）、17はコントロールゲートである。半

6

導体基板11中にソース12及びドレイン13が隔離して形成され、ソース12とドレイン13との間のチャネル領域上に、トンネル絶縁膜14、フローティングゲート15、インターポリ絶縁膜16及びコントロールゲート17が積層されてセルが構成される。

【0003】 上記フラッシュメモリにおけるデータの書き込みは、EPROMと同様にソース12を接地し、コントロールゲート17とドレイン13にそれぞれ書き込み用の高電位を印加して、ドレイン13の近傍で発生したホットエレクトロンをフローティングゲート15に注入し、セルトランジスタの閾値電圧を上昇させることによって行われる。

【0004】 一方、一般的な消去方法としては、図11に示すようにコントロールゲート17を接地、ドレイン13はオープン、ソース12に消去用の高電位（ $V_{s1}$ ）を印加し、ソース12とフローティングゲート15間に高電界を印加してトンネル電流を発生させ、フローティングゲート15中のエレクトロンをソース12に引き抜くソース消去方式（以後SE方式と略称する）が採用されている。

【0005】 しかしながら、SE方式の場合には、ソース12とフローティングゲート15間の電界強度を十分なトンネル電流を発生できるまで高める必要があり、トンネル酸化膜14の厚さを10nm程度とすると、ソース12には10V以上の高電位を印加しなければならない。10V以上の高電位をソース12に印加できるようにするためには、ソース12の耐圧を上げる必要が生ずる。このため、不純物濃度プロファイルを図12に示すような二重構造にする、すなわちソース12を低濃度の不純物拡散層18で覆う必要があり、ソース領域の幅を広く取らざるを得ない。このような構成を採用することは、メモリにおいて最も重要な要求の一つであるセルの微細化という点で不利になる。なお、図12では隣接する2つのメモリアルセルを抽出して示した。

【0006】 そこで、上述したようなSE方式による問題を回避すべく、次のような消去方式が提案されている。この方式は、図13に示すように、ソース12に消去用の高電位（ $V_{s2}$ ）を印加し、ドレイン13をオープン、コントロールゲート17に負電位 $V_g$ を印加するので、ソースゲート消去（以後SGE方式と略称する）と呼ばれている。SGE方式は、トンネル現象を起こすのに必要なソース12とフローティングゲート15間の電界強度を、コントロールゲート17を負電位でバイアスすることにより稼いでいる。これによって、ソース12に印加する高電位 $V_{s2}$ はSE方式の高電位 $V_{s1}$ に比べて低くて済み（ $V_{s2} < V_{s1}$ ）、図12に示したようなソース12の高耐圧設計が不要になり、ソース12の幅を広げる必要がない。よって、コントロールゲート17、つまりワード線への負電位の印加が必要となるものの、セルの微細化の点でSE方式よりも有利である。更に、

7

SE及びSGEどちらの方式の場合にも、ソース12にはコントロールゲート17よりも大きな消去電流が流れるが、SGE方式では電流供給が必要なソース12のバイアスレベルを低電位化できることから、書き込み用の電源電圧 $V_{pp}$ をチップ内部に設けた昇圧回路で生成でき、単一電源化（通常電源： $V_{cc}$ ）が可能となる。従って、この点でもSGE方式が優れているといえる。両方式ともフローティングゲート15中のエレクトロンを引き抜き、セルトランジスタの閾値電圧を下げることでデータの消去が行われる。

【0007】次に、上述したSGE方式を実現するためのロウデコード回路について説明する。図14は、フラッシュメモリにおけるロウデコード回路と消去動作に係る周辺回路部を抽出して示している。外部から供給されたアドレス信号Addは、アドレスバッファ21に入力され、このアドレスバッファ21の出力がアドレスマルチプレクサ22及びアドレスラッチ回路23に供給される。このアドレスラッチ回路23の出力及びアドレスカウンタ24の出力はそれぞれ、上記アドレスマルチプレクサ22に供給され、アドレスバッファ21、アドレスラッチ回路23及びアドレスカウンタ24のいずれかの出力が選択され、内部アドレスバスABを介してロウブリデコード25及びコンパレータ26に供給される。上記ロウブリデコード25はアンドゲート27、27、…から構成されており、それぞれに上記内部アドレスバスABを介して供給されたアドレス信号のうちロウアドレス信号RAddが供給される。また、各アンドゲート27、27、…には、ノアゲート28から出力されるロウブリデコード25の活性化信号PREが供給されて動作が制御される。

【0008】上記コンパレータ26は、上記内部アドレスバスABを介して供給されたアドレスとリダングダンシROM29に記憶された不良アドレスとを比較し、一致した時に一致信号HITを出力する。リダングダンシROM29は、不良セルのアドレスを記憶するもので、このROM29にはロウリダングダンシであればロウアドレスの本数だけのビット数を記憶できるようになっている。一方、ワード線一本毎に置き換えるのであれば、リダングダンシROM29には全てのロウアドレスを記憶する。また、2ロウ、4ロウといったように、2の $n$ 乗本をまとめた置き換えを行うのであれば、記憶するアドレスは $n$ ビットだけ減ることになる。この記憶は、フラッシュメモリセルを用いてデータの書き込み及び消去を行っても良いし、ポリシリコンを用いたヒューズを設けてレーザで熔断することにより不良アドレスを記憶させる方法を採用しても良い。

【0009】このように、不良アドレスをリダングダンシROM29に記憶させておき、選択されたアドレスが不良アドレスと一致するかをコンパレータ26で常にチェックする。選択されたアドレスが不良アドレスと一致し

8

た場合は、一致信号HITが“H”レベルとなる。これによって活性化信号PREが“L”レベルとなり、ブリデコード25を非活性化し、不良行を非選択状態にするとともに、スペアロウデコード35内のレベルシフト36及びバッファ37を介してスペアワード線SWLが駆動され、スペアセルへの置換が行われる。これらの置換はEPROMと同様である。消去時においては、ワード線WLは一括動作であり全て非選択状態となりスペアロウを含めて一括消去されるため、特にリダングダンシによる制御は行われない。

【0010】上記ノアゲート28には、上記一致信号HITと消去信号ERSが供給され、入力されたアドレスと不良アドレスとが一致した時、及び消去状態の時にロウブリデコード25の出力を禁止（“L”レベルに固定）するようになっている。

【0011】上記ロウブリデコード25から出力されるロウブリデコード信号RPDは、メインデコード30に供給される。メインデコード30には、メモリセルアレイ31内の各ワード線WLに対応してアンドゲート32、32、…、レベルシフト33、…及びバッファ34、…が設けられている。レベルシフト33は、書き込み時にワード線WLを高電位にするために信号レベルを変換する回路であり、 $V_{cc}$ 系の信号を $V_{pr}$ 系の信号に変換して出力する。

【0012】上記レベルシフト33は、例えば図15に示すようにPチャネル型MOSトランジスタQ1、Q2、Nチャネル型MOSトランジスタQ3、Q4及びインバータ39から構成されている。MOSトランジスタQ1、Q2のソースにはそれぞれ電位 $V_{pr}$ が印加され、各ドレインと接地点GND間にはMOSトランジスタQ3、Q4のドレイン、ソース間が接続される。MOSトランジスタQ1のゲートは上記MOSトランジスタQ2、Q4のドレイン共通接続点に接続され、MOSトランジスタQ2のゲートは上記MOSトランジスタQ1、Q3のドレイン共通接続点に接続される。上記MOSトランジスタQ3のゲートにはアンドゲート32の出力信号が供給され、上記MOSトランジスタQ4のゲートにはアンドゲート32の出力信号がインバータ39を介して供給される。そして、上記MOSトランジスタQ1とQ3との接続点から得た出力信号をバッファ34に供給するようになっている。

【0013】上記バッファ34は、図16に示すようなPチャネル型MOSトランジスタQ5とNチャネル型MOSトランジスタQ6とからなるCMOSインバータで構成されている。このCMOSインバータの動作電源は、電位 $V_{pr}$ とバイアス電位 $V_{bb}$ であり、このバッファ34の出力でメモリセルアレイ31中の対応するワード線WLを駆動するようになっている。

【0014】上記メモリセルアレイ31は、一括して同時に消去されるセルフブロックであり、図示しないが各セ

10

20

30

40

50

ルトランジスタのソースはアレイ 31 内で共通接続され、消去時には消去電位でバイアスされる。また、書き込み及び読み出し等の他の動作時には共通ソースは接地される。一方、各セルトランジスタのドレインは、上記ワード線WLと直交して配置されたビット線に列毎に共通接続されている。これらドレインは、消去時は前述したようにオープンとなるため特別なデコード操作は不要であるのでここでは省略している。

【0015】また、上記コンパレータ 26 から出力される一致信号HITは、スペアロウデコード 35 に供給される。このスペアロウデコード 35 は、上記一致信号HITを電位Vprと接地電位GND間のレベルにシフトするレベルシフタ 36 と、動作電源が電位Vprとバイアス電位VbbのCMOSインバータからなるバッファ 37 とから構成されている。上記レベルシフタ 36 及びバッファ 37 はそれぞれ、図 15 及び図 16 に示したレベルシフタ 33 及びバッファ 34 と同様な回路構成になっている。そして、上記バッファ 37 の出力でスペアワード線SWLを駆動する。

【0016】次に、上記のような構成において概略的に動作を説明する。読み出し及び書き込み時には、メモリセルアレイ 31 内の各ワード線WLはロウアドレスRAddに応じて一本ずつ選択される必要がある。図 14 に示した回路では、外部入力あるいはチップ内部のアドレスカウンタ等によって指定されたロウアドレスRAddをブリデコード 25 でデコードした後、更にメインデコード 30 でデコードして一本のワード線WLを選択するようになっている。各電位のレベルとワード線WLのレベルをまとめると下表-1に示すようになる。

【0017】

【表 1】

	Vcc (V)	Vpr (V)	Vbb (V)	ワード線レベル (選択/非選択) (V)
読み出し	5	5	0	5/0
書き込み	5	12	0	12/0
消去	5	5	-10	ブロック内全て -10

【0018】すなわち、電位Vbbは読み出し及び書き込み時は接地レベルであり、ロウアドレス信号RAddで選択されたワード線のみがVprレベルとなり、非選択のワード線は電位Vbb（接地レベル）となっている。一方、消去時には、ブリデコード 25 の活性化信号PREが“H”レベルとなり、電位Vbbは負電位となる。信号PREによりロウブリデコード信号RPDは全て非選択状態となるため、全てのワード線は非選択側に固定され、レベルシフタ 33 の出力（＝バッファ 34 の入力）は全てのロウが電位Vprとなる。よって、全てのロウにおけるバッファ 34 中のPチャネル型MOSトランジスタQ5は非導通状態、Nチャネル型MOSトランジスタQ6は導通状態となり、ワード線WLは電位Vbbで駆動され

る。よって、全てのワード線WLが同時に負電位でバイアスされ、一括した消去が行われる。

【0019】この際、上記バッファ 34 中のNチャネル型MOSトランジスタQ6は、負電位での駆動が必要となるため、図 17 に示すように、P型半導体基板を用いる場合には、この基板 11 中ではなくPウェル領域 40 中に設けられる。このPウェル領域 40 は、電位VwでバイアスされたNウェル領域 41 中に形成され、接地レベルの基板 11 と分離されている。上記電位Vwは、MOSトランジスタQ6のソース電位Vs及び接地電位と等しいか、これらの電位より大きい、すなわち $Vw \geq Vs$  及び  $Vw \geq GND$  なる関係を満たす。

【0020】ここで、上述したフラッシュメモリにおけるロウリダンダンシについて考えてみる。読み出し時及び書き込み時は、選択されたワード線のみ“H”レベルとなるため、スペアセルへの置き換えは、不良セルのロウアドレスが選択されたことを検知した時に、対応するワード線の選択を非活性化し、代わりにスペアワード線SWLを活性化することで行われる。

【0021】次に、消去動作について詳しく考察する。消去はソースを共通接続したセルに対してブロック単位で一括して行われる。よって、リダンダンシ技術を用いて不良セルについてスペアセルへの置き換えを行っても、ソースは物理的に接続されたままであるため、消去電位は不良セルのソースにも印加される。また、図 14 に示したような構成では、消去時はロウアドレスによらず電位Vbbが負になることで全てのワード線が負の消去電位でバイアスされる。つまり、リダンダンシで置き換えた不良セルとスペアロウのセルも消去すべき他のセルと全く同様の消去電位が印加されており、消去不良のセルでない限り消去が行われ、閾値電圧Vthが低下することになる。もし、閾値電圧が負にまで低下して過消去状態になると、ワード線WLが非選択で接地レベルになっても電流を流すことになり、この不良セルのドレインが接続されているビット線に接続された同一カラムの他のセルの正常な読み出しを破壊するという問題が生ずる。

【0022】この問題を避けるために、消去の前にスペアと不良ロウを含めたブロック内の全てのセルについて書き込みを行い、予め閾値電圧を高くしておくことで消去後の閾値電圧が負にならないようにすることが行われている。しかし、不良セルは書き込みが正常に行われる保証はなく、消去前の閾値電圧を高くすることができず、消去後の閾値電圧が負に低下する、いわゆる過消去の状態になる恐れがある。よって、従来の消去方式では、書き込み不良のセルに対しては、リダンダンシ回路を用いての救済はできない。

【0023】また、過消去防止のための消去前書き込みは、不良セルとスペアロウを含めた全セルに対して行わなければならない。今、単純にアドレスを順にインクリ

10

20

30

40

50



メントしながら全アドレスに書き込みを行わせたとする。この時、リダグダンシ回路で置き換えた不良ロウが存在すると、この不良ロウはアドレスで選択されないため書き込みが行われない。また、置換を行っていない未使用のスペアロウに対しても書き込みは行われない。よって、消去前書き込みにおいては、全アドレスに書き込みを行うのとは別に、通常なら選択されないようになっている不良ロウと未使用のスペアロウを別途選択して書き込みを行うという特別な制御が必要となり、消去シーケンスの複雑化を招く。また、ホットエレクトロンを用いた書き込みは、電流の制約から消去と異なり全セル一括で行うことはできず、バイト等の単位でアドレスをインクリメントしながら行わなくてはならない。よって、書き込みを行うセル数が増える分（不良ロウとスペアロウ）だけ、消去時間が増加することにもなる。

【0024】次に、絶縁膜不良のセルをスペアセルへ置換する場合について考える。絶縁膜不良には、図18に抵抗R1で模式的に示すようなインターポリ絶縁膜リーク（フローティングゲート15とコントロールゲート17間のショート）と、図19に抵抗R2で模式的に示すようなトンネル酸化膜リーク（フローティングゲート15と基板11間のリーク）の2通りがある。いずれの不良もフローティングゲート15への電子の蓄積が不可能であるが、ワード線（コントロールゲート17）が接地レベルであればドレイン電流は流れないため、スペアセルへの置き換えを行っても先に述べたような電流リークによる他のセルトランジスタの読み出し破壊の問題は起こらない。よって、スペアセルによる救済が可能であるように見え、実際に置換しての正常動作が可能で良品になる。

【0025】しかし、この種の不良は、消去と書き込みを繰り返しているうちに破壊するという最も厄介な問題を伴う。前述したように、消去時にはコントロールゲート17とソース12に消去用の高電位が印加される。この時フローティングゲート15は、各端子のバイアスレベルと両絶縁膜14、16により形成される容量によるカップリング、及びフローティングゲート15中に蓄積された電荷量により決まる電位にバイアスされる。つまり、ソース12とコントロールゲート17間の電位差は、両絶縁膜14、16に分割されて印加されている。ところが、図18に示した不良の場合、フローティングゲート15にはコントロールゲート17の負電位が伝わり、トンネル酸化膜14にソース12とコントロールゲート17間の高電位が直接印加されることになる。よって、消去を繰り返すことにより経時的な絶縁膜破壊（TDDB）が起こってしまう。一方、図19に示したような不良の場合は、インターポリ絶縁膜16側で同様なことが起こり得る。いずれの場合にもコントロールゲート17と基板11の間で両絶縁膜14、16を介してリークパスが形成されることになる。

【0026】消去の場合、全てのワード線は同時に負電位にバイアスされるが、この負電位はチップ外部から与えるのではなく、チップ内部の回路で発生させているため、電流供給能力に限界があり、不良ロウにおいてコントロールゲート17と基板11間のリークにより負電位が基板とショートしてしまうと十分な負電位が得られない恐れがある。よって、不良ロウ以外の正常なロウのワード線に印加される負電位にも影響を与え、同一ブロック内の正常セルの消去不良を発生させることになる。よって、絶縁膜不良に起因するビット単位での不良をスペアロウにより救うことができない。

【0027】上述したような書き込み不良や絶縁膜不良等は、セルの不良症状の主要なものであり、リダグダンシ回路を設けてもこれらが救済できないと、救済率が大きく低下し、リダグダンシ回路採用の効果が少なくなるという問題を生ずる。また、消去前書き込みを不良ロウと未使用のスペアロウにも行う必要があるため、消去シーケンスの複雑化と時間の増加を招いている。

【0028】

【発明が解決しようとする課題】上記のように従来の不揮発性半導体記憶装置では、リダグダンシ回路を設けても絶縁膜不良のセルや書き込み不良のセルを十分に救済できないという問題があった。

【0029】また、消去前書き込みを不良ロウと未使用のスペアロウにも行う必要があるため、消去シーケンスの複雑化と時間の増加を招くという問題があった。この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、絶縁膜不良のセルや書き込み不良のセルを確実に救済することができる不揮発性半導体記憶装置を提供することにある。この発明の別の目的は、消去シーケンスの単純化と時間の短縮を図れる不揮発性半導体記憶装置を提供することにある。

【0030】

【課題を解決するための手段】この発明の請求項1に記載した不揮発性半導体記憶装置は、不良セルをスペアセルに置き換えて救済するリダグダンシ手段と、スペアセルに置き換えるべき不良セルのアドレスを記憶する不良アドレス記憶手段と、消去時に上記不良アドレス記憶手段に記憶された不良セルのアドレスをチップ内部のアドレスバスに転送する転送手段とを具備することを特徴とする。

【0031】請求項2の不揮発性半導体記憶装置は、不良セルをスペアセルに置き換えて救済するリダグダンシ手段と、スペアセルに置き換えるべき不良セルのアドレスを記憶する不良アドレス記憶手段と、入力されたアドレスをラッチし、このラッチしたアドレスをチップ内部のアドレスバスに転送するアドレスラッチ手段と、上記不良アドレス記憶手段に記憶されたアドレスを上記アドレスラッチ手段に転送する転送手段とを具備し、データの消去時に上記アドレスラッチ手段にラッチした不良セ

13

ルのアドレスをチップ内部のアドレスバスに転送することを特徴とする。

【0032】請求項3の不揮発性半導体記憶装置は、不良セルをスペアセルに置き換えて救済するリダンダンシ手段と、スペアセルに置き換えるべき不良セルのアドレスを記憶する不良アドレス記憶手段と、ロウデコード信号をロウ毎にラッチする第1のラッチ手段と、スペアセルを選択するための信号をスペアロウ毎にラッチする第2のラッチ手段と、消去に先だって上記不良アドレス記憶手段に記憶された不良セルのアドレスにより選択されるロウに対応する上記第1のラッチ手段とスペアロウのうち未使用のロウに対応する上記第2のラッチ手段に関して、不良ではないロウに対応する上記第1のラッチ手段とスペアロウのうちの使用しているロウに対応する上記第2のラッチ手段に対して選択／非選択の逆の状態をセットする手段とを具備し、上記第1、第2のラッチ手段にラッチしたデータに基づいて消去を行うことを特徴とする。

【0033】この発明の請求項4に記載した不揮発性半導体記憶装置は、不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備え、セルトランジスタのコントロールゲートに負のバイアスを与えて消去を行うフラッシュメモリにおいて、不良セルのロウアドレスを記憶する不良ロウアドレス記憶手段と、チップ内部のアドレスバスに出力されたアドレスを上記不良ロウアドレス記憶手段に記憶されたロウアドレスと比較するアドレス比較手段と、記憶データの消去時に、上記アドレス比較手段でアドレスの一致が検知された時、スペアロウセルを選択するスペアロウデコード手段を制御し、チップ内部のアドレスバスに出力された不良ロウアドレスをロウデコード手段に転送する転送制御手段と、この転送制御手段によって転送されたロウアドレスをロウデコード手段でデコードした信号に基づいて不良ロウアドレスのワード線に接地電位を与える電位印加手段とを具備することを特徴とする。

【0034】この発明の請求項10に記載した不揮発性半導体記憶装置は、不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備え、セルトランジスタのコントロールゲートに負のバイアスを与えて消去を行うフラッシュメモリにおいて、アドレス信号が入力されるアドレスバッファと、このアドレスバッファに入力されたアドレス信号をラッチするアドレスラッチ回路と、アドレス信号を生成するアドレスカウンタと、不良ロウアドレスを記憶するリダンダンシROMと、上記アドレスバッファ、上記アドレスラッチ回路、上記アドレスカウンタ及び上記リダンダンシROMの出力が供給され、これらの出力を選択的にチップ内部のアドレスバスに出力するアドレスマルチプレクサと、上記アドレスバスに出力されたロウアドレスと上記リダンダンシROMに記憶された不良ロウアドレスとを比較するコンパレータと、

14

上記アドレスバスに出力されたロウアドレスをデコードするロウブリデコードと、このロウブリデコードから出力されるロウブリデコード信号が供給されるメインデコードと、このメインデコードの出力でワード線が選択されることによりメモセルのロウが選択されるメモセルアレイと、上記メモセルアレイの不良ロウを置換するためのスペアロウセルと、このスペアロウセルを選択するスペアロウデコードと、記憶データの消去時に上記コンパレータによりロウアドレスの一致が検出された時、上記ロウブリデコードを活性化するとともに、上記スペアロウデコードを駆動してスペアロウセルを制御する論理回路とを具備し、前記メインロウデコードは、記憶データの消去時にメモセルアレイ中の不良セルが接続されたワード線に接地電位を与える第1のバイアス手段を備え、前記スペアロウデコードは、記憶データの消去時に未使用のスペアワード線に接地電位を与える第2のバイアス手段を備えることを特徴とする。

【0035】請求項11の不揮発性半導体記憶装置は、不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備え、セルトランジスタのコントロールゲートに負のバイアスを与えて消去を行うフラッシュメモリにおいて、アドレス信号が入力されるアドレスバッファと、アドレス信号を生成するアドレスカウンタと、上記アドレスバッファに入力されたアドレス信号及び上記アドレスカウンタで生成されたアドレス信号を選択的にラッチするアドレスラッチ回路と、不良ロウアドレスを記憶するリダンダンシROMと、上記アドレスバッファ、上記アドレスラッチ回路及び上記アドレスカウンタの出力が供給され、これらの出力を選択的にチップ内部のアドレスバスに出力するアドレスマルチプレクサと、上記アドレスバスに出力されたロウアドレスと上記リダンダンシROMに記憶された不良ロウアドレスとを比較し、一致した時に一致信号を出力して上記アドレスラッチ回路を制御し、上記アドレスカウンタで生成したロウアドレスを上記アドレスラッチ回路にラッチさせるコンパレータと、上記アドレスバスに出力されたロウアドレスをデコードするロウブリデコードと、このロウブリデコードから出力されるロウブリデコード信号が供給されるメインデコードと、このメインデコードの出力でワード線が選択されることによりメモセルのロウが選択されるメモセルアレイと、上記メモセルアレイの不良ロウを置換するためのスペアロウセルと、このスペアロウセルを選択するスペアロウデコードと、記憶データの消去時に上記コンパレータにより一致が検出された時、上記ロウブリデコードを活性化するとともに、上記スペアロウデコードを駆動してスペアロウセルを制御する論理回路とを具備し、前記メインロウデコードは、記憶データの消去時にメモセルアレイ中の不良セルが接続されたワード線に接地電位を与える第1のバイアス手段を備え、前記スペアロウデコードは、記憶データの消去時に

未使用のスペアワード線に接地電位を与える第2のバイアス手段を備えることを特徴とする。

【0036】請求項13の不揮発性半導体記憶装置は、不良セルをスペアセルに置き換えて救済するリダンダンシ回路を備え、セルトランジスタのコントロールゲートに負のバイアスを与えて消去を行うフラッシュメモリにおいて、アドレス信号が入力されるアドレスバッファと、このアドレスバッファに入力されたアドレス信号をラッチするアドレスラッチ回路と、アドレス信号を生成するアドレスカウンタと、不良ロウアドレスを記憶するリダンダンシROMと、上記アドレスバッファ、上記アドレスラッチ回路及び上記アドレスカウンタの出力が供給され、選択したアドレスをチップ内部のアドレスバスに出力するアドレスマルチプレクサと、上記アドレスバスに出力されたロウアドレスと上記リダンダンシROMに記憶された不良ロウアドレスとを比較するコンパレータと、上記アドレスバスに出力されたロウアドレスをデコードするロウブリデコードと、上記ロウブリデコードから出力されるロウブリデコード信号をデコードするメインデコードと、上記メインデコードのデコード信号をロウ毎にラッチする第1のラッチ回路と、この第1のラッチ回路にラッチされたデコード信号に基づいてワード線が選択されることによりメモリセルのロウが選択されるメモリセルアレイと、上記メモリセルアレイの不良ロウを置換するためのスペアロウセルと、上記スペアロウセルを選択するスペアロウデコードと、上記スペアロウデコードから出力されるデコード信号をスペアロウ毎にラッチする第2のラッチ回路と、記憶データの消去時に上記コンパレータによりアドレスの一致が検出された時、上記ロウブリデコードを活性化するとともに、上記スペアロウデコード内の第2のラッチ回路をセットしてスペアロウセルを制御する論理回路とを具備し、前記メインロウデコードは、記憶データの消去時にメモリセルアレイ中の不良セルが接続されたワード線に接地電位を与える第1のバイアス手段を備え、前記スペアロウデコードは、記憶データの消去時に未使用のスペアワード線に接地電位を与える第2のバイアス手段を備えることを特徴とする。

#### 【0037】

【作用】請求項1、請求項2及び請求項3のような構成によれば、消去時にセルトランジスタのコントロールゲートに負電位を印加して消去を行う時（SGE方式）、不良アドレス記憶手段に記憶された不良セルのアドレスをアドレスバスに転送することにより、不良ロウを選択状態に固定できるので、不良ロウのセルトランジスタのコントロールゲートへの負電位の印加を回避することができ、絶縁膜不良のセルや書き込み不良のセルを確実に救済できる。請求項3に示すように第1、第2のラッチ手段を設ければ、不良ロウが複数存在する場合にもこれら複数の不良ロウのセルトランジスタのコントロールゲ

ートへの負電位の印加をも回避できる。

【0038】請求項4、請求項10、請求項11及び請求項13に示すような構成によれば、不良ロウのワード線、すなわち不良セルトランジスタのコントロールゲートに電位印加手段または第1のバイアス回路から接地電位を与えた状態で消去を行うので、絶縁膜不良のセルや書き込み不良のセルを確実に救済できる。また、請求項10、請求項11及び請求項13のように、未使用のスペアワード線に対しても第2のバイアス回路から接地電位を与えれば、消去前書き込みを行う必要がないので、消去シーケンスの単純化と時間の短縮を図れる。更に、請求項13に示すように第1、第2のラッチ回路を設ければ、不良ロウが複数存在する場合にもこれら複数の不良ロウのセルトランジスタのコントロールゲートへの負電位の印加の問題や消去前書き込みによる消去シーケンスの複雑化並びに時間の増加のという問題をも回避できる。

#### 【0039】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図1は、この発明の第1の実施例に係る不揮発性半導体記憶装置について説明するためのもので、フラッシュメモリのロウデコード回路と消去動作に関係する周辺回路部を抽出して示している。外部から供給されたアドレス信号Addは、アドレスバッファ21に入力され、このアドレスバッファ21の出力がアドレスマルチプレクサ22及びアドレスラッチ回路23に供給される。このアドレスラッチ回路23の出力、アドレスカウンタ24の出力、及びリダンダンシROM29に記憶された不良ロウアドレスのデータはそれぞれ、上記アドレスマルチプレクサ22に供給され、アドレスバッファ21、アドレスラッチ回路23及びアドレスカウンタ24のいずれかの出力が選択されて内部アドレスバスABを介してロウブリデコード25及びコンパレータ26に供給される。上記ロウブリデコード25はアンドゲート27、27、…から構成されており、それぞれに上記内部アドレスバスABを介して供給されたアドレス信号のうちのロウアドレス信号RAddが供給される。また、各アンドゲート27、27、…にはインバータ51から出力されるロウブリデコード25の活性化信号PREが供給されて動作が制御される。

【0040】上記コンパレータ26は、上記内部アドレスバスABを介して供給されたアドレスとリダンダンシROM29に記憶された不良アドレスとを比較し、一致した時に一致信号HITを出力する。リダンダンシROM29は、不良セルのアドレスを記憶する不良アドレス記憶回路であり、このROM29にはロウリダンダンシであればロウアドレスの本数だけのビット数を記憶できるようになっている。一方、ワード線一本毎に置き換えるのであれば、リダンダンシROM29には全てのロウアドレスが記憶される。また、2ロウ、4ロウといった

17

ように、2のn乗本をまとめた置き換えを行うのであれば、記憶するアドレスはnビットだけ減ることになる。この記憶は、フラッシュメモリセルを用いてデータの書き込み及び消去を行わせても良いし、ポリシリコンを用いたヒューズを設けてレーザで溶断することで不良アドレスを記憶させることもできる。あるいは、ヒューズに代えて図2に示すようにEPROMセルを設けても良い。不良アドレスをリダグダンシROM29に記憶させておき、選択されたアドレスがこの不良アドレスと一致するか否かをコンパレータ26で常にチェックする。選択されたアドレスが不良アドレスと一致した場合は、一致信号HITが“H”レベルとなる。

【0041】上記一致信号HITは、ナンドゲート52の一方の入力端に供給される。このナンドゲート52の他方の入力端には消去信号ERSの反転信号が供給され、出力端はナンドゲート53の一方の入力端に接続される。上記消去信号ERS及びスペアロウ活性化信号SPEiの反転信号は、それぞれナンドゲート54の入力端に供給される。このナンドゲート54の出力は、上記ナンドゲート53の他方の入力端に供給される。そして、ナンドゲート53の出力が上記インバータ51の入力端及びスペアロウデコーダ55に供給される。

【0042】インバータ51から出力される活性化信号PREが“L”レベルとなると、プリデコーダ25を非活性化して不良行を非選択状態にするとともに、スペアロウデコーダ55によってスペアロウセル38内のスペアワード線SWLが駆動され、スペアセルへの置換が行われる。消去時においては、メモリセルアレイ31中のワード線WLは一括動作であり、全て非選択状態となり、スペアロウを含めて一括消去されるため、特にリダグダンシによる制御は行われない。

【0043】上記ロウブリデコーダ25から出力されるロウブリデコード信号RPDは、メインデコーダ56に供給される。メインデコーダ56には、メモリセルアレイ31の各ワード線WLに対応してアンドゲート32、32、…、第1のレベルシフト57、…、第2のレベルシフト58、…及びバッファ34、…が設けられている。第1のレベルシフト57は動作電源Vcc、Vbbで動作し、アンドゲート32の出力信号をこれらの信号レベルにシフトして出力する。第2のレベルシフト58は、書き込み時にワード線WLを高電位にするために信号レベルを変換する回路であり、Vcc系の信号をVpr系の信号に変換して出力する。

【0044】上記メモリセルアレイ31は、一括して同時に消去されるセルブロックであり、図示しないが各セルトランジスタのソースはアレイ31内で共通接続され、消去時には消去電位が印加される。また、書き込み及び読み出し等の他の動作時には共通ソースは接地される。一方、各セルトランジスタのドレインは、上記ワード線WL、…と直交して配置されたビット線に列毎に共

18

通接続されている。これらドレインは、消去時には前述したようにオープンとなるため特別なデコード操作は不要であるのでここでは省略している。

【0045】また、上記スペアロウデコーダ55は、各スペアワード線SWL（図1では説明を簡単にするために1本のスペアワード線のみを代表的に示しているが、複数のスペアワード線を用いる場合にはアンドゲートやナンドゲート等を用いてデコードを行う）に対応して第1のレベルシフト59、第2のレベルシフト60及びバッファ37が設けられている。第1のレベルシフト59は、ナンドゲート53の出力信号を、電源電圧Vccとバイアス電位Vbb間のレベルにシフトする。第2のレベルシフト60は、上記第1のレベルシフト59の出力信号を電位Vprとバイアス電位Vbb間のレベルにシフトする。バッファ37は、動作電源が電位Vprとバイアス電位VbbのCMOSインバータからなり、このバッファ37でスペアロウセル38内のスペアワード線SWLが駆動される。上記レベルシフト59、60及びバッファ37はそれぞれ、上記メインロウデコーダ56におけるレベルシフト57、58及びバッファ34と実質的に同じ回路構成になっている。

【0046】図2は、上記図1に示した回路におけるリダグダンシROM29の構成例を示している。このリダグダンシROM29は、EPROMセル70、ラッチ回路71、セレクト回路72及びキャパシタC1、C2を含んで構成されている。上記ラッチ回路71は、CMOSインバータ回路IV1とフィードバック用のPチャネルMOSトランジスタT1とから構成される。上記トランジスタT1のソースは電源Vccに接続され、ドレインはインバータ回路IV1の入力ノードに接続され、ゲートはインバータ回路IV1の出力ノードに接続される。上記インバータ回路IV1の入力ノードと電源Vcc間にはキャパシタC1が接続され、上記インバータ回路IV1の出力ノードと接地点Vss間にはキャパシタC2が接続される。上記セレクト回路72は、CMOSインバータ回路IV2と2個のCMOSトランスファゲートCT1、CT2から構成される。このセレクト回路72は、上記ラッチ回路71のラッチデータに応じて1ビットのアドレス信号Adiまたはその反転信号/Adiを選択して出力するものである。EPROMセル70の制御ゲートには、リダグダンシのための書き込み時には高電圧Vpp、通常動作時には接地電位Vssが与えられる。

【0047】図3は上記図1に示した回路における第1のレベルシフト57、59の構成例を示している。ここではレベルシフト57の構成を例にとって説明するが、レベルシフト59も同じ構成である。レベルシフト57は、Pチャネル型MOSトランジスタQ7、Q8、Nチャネル型MOSトランジスタQ9、Q10及びインバータ73から構成されている。MOSトランジスタQ7、Q8のソースはそれぞれ電源Vccに接続され、各ドレイン

10

20

30

40

50

19

ンとバイアス電位 $V_{bb}$ 間にはMOSトランジスタQ9、Q10のドレイン、ソース間が接続される。MOSトランジスタQ9のゲートは上記MOSトランジスタQ8、Q10のドレイン共通接続点に接続され、MOSトランジスタQ10のゲートは上記MOSトランジスタQ7、Q9のドレイン共通接続点に接続される。上記MOSトランジスタQ7のゲートにはアンドゲート32の出力信号が供給され、上記MOSトランジスタQ8のゲートにはアンドゲート32の出力信号がインバータ73を介して供給される。そして、上記MOSトランジスタQ8とQ10との接続点から得た出力信号をレベルシフタ58に供給するようになっている。

【0048】図4は上記図1に示した回路における第2のレベルシフタ58、60の構成例を示している。ここではレベルシフタ58を例にとって説明する。レベルシフタ33は、Pチャネル型MOSトランジスタQ11、Q12、Nチャネル型MOSトランジスタQ13、Q14及びインバータ74から構成されている。MOSトランジスタQ11、Q12のソースはそれぞれ電位 $V_{pr}$ に接続され、各ドレインとバイアス電位 $V_{bb}$ 間にはMOSトランジスタQ13、Q14のドレイン、ソース間が接続される。MOSトランジスタQ11のゲートは上記MOSトランジスタQ12、Q14のドレイン共通接続点\*

20

\*に接続され、MOSトランジスタQ12のゲートは上記MOSトランジスタQ11、Q13のドレイン共通接続点に接続される。上記MOSトランジスタQ13のゲートにはレベルシフタ57の出力信号が供給され、上記MOSトランジスタQ14のゲートにはレベルシフタ57の出力信号がインバータ74を介して供給される。そして、上記MOSトランジスタQ12とQ14との接続点から得た出力信号をバッファ34に供給するようになっている。

【0049】図5は上記図1に示した回路におけるバッファ34、37の構成例を示している。ここではバッファ34を例にとって説明する。上記バッファ34は、Pチャネル型MOSトランジスタQ15とNチャネル型MOSトランジスタQ16とからなるCMOSインバータで構成されている。このCMOSインバータの動作電源は、電位 $V_{pr2}$ とバイアス電位 $V_{bb}$ であり、このバッファ34の出力でメモリセルアレイ31中の対応するワード線WLを駆動するようになっている。下表2は上述した回路における各電位レベルとワード線のレベルを示している。

【0050】

【表2】

	$V_{cc}$ (V)	$V_{pr}$ (V)	$V_{pr2}$ (V)	$V_{bb}$ (V)	ワード線レベル (選択/非選択) (V)
読み出し	5	5	5	0	5/0
書き込み	5	12	12	0	12/0
消去	5	5	0	-10	ブロック内全て -10 但し、不良ロウと未使用の スペアロウに限り 0

【0051】図1ないし図5に示した第1の実施例において、読み出し及び書き込みの場合は図14に示した回路と同様の制御を行えば良い。つまり、不良セルの存在するロウが選択されると、この不良ロウは非選択状態、つまり接地レベルに固定されているため、不良セルのワード線はバイアスされることはない。

【0052】次に、消去時の動作について説明する。消去時には、アドレスマルチプレクサ22でリダンダンシROM29の出力を選択し、このROM29に記憶された不良ロウアドレスのデータを直接アドレスバスABに転送する。コマンド制御によるオート動作が可能なフラッシュメモリの場合、図14に示したように内部アドレスバスABへは外部入力アドレスAdd、アドレスラッチ回路23の出力、アドレスカウンタ24の出力等を切替えて転送するためにアドレスマルチプレクサ22が設けられている。よって、第1の実施例ではこのマルチプレクサ22にリダンダンシROM29の記憶データを入力している。

【0053】ロウプリデコーダ25は、消去時には図1

4に示した回路では非活性化されていたが、この発明では通常通りアドレスバスABの信号に応じてデコードを行う。つまり、不良セルのアドレスがデコードされることになる。メインデコーダ56中の第1のレベルシフタ57は、 $V_{cc}$ 系の信号（“H”レベル= $V_{cc}$ 、“L”レベル=接地電位）の“L”レベル側を $V_{bb}$ レベルにシフトする回路である。第2のレベルシフタ58は、“H”レベル側の電位を $V_{cc}$ から $V_{pr}$ にシフトする回路であり、“L”レベル側はバイアス電位 $V_{bb}$ になっている。これらの二段のレベルシフタ57、58により、アンドゲート32から出力される $V_{cc}$ 系の信号が、 $V_{pr}/V_{cc}$ 系の信号に変換されてバッファ34に入力される（但し、表2に示したように、消去時における電位 $V_{pr}$ は電源電位 $V_{cc}$ と同レベルになっている）。

【0054】ワード線WLを駆動するバッファ34の電源は、電位 $V_{pr2}$ と $V_{bb}$ であり、 $V_{pr2}$ は $V_{pr}$ と異なり消去時には接地レベルになるが、レベルシフタ58の出力信号に応じてインバータ動作をする。つまり、レベルシフタ58の出力が電位 $V_{pr}$ の時に $V_{bb}$ レベルを出

50

21

かし、レベルシフト 5 8 の出力が電位  $V_{bb}$  の時に  $V_{pr}$  (=接地レベル) を出力する。内部アドレスバス AB で指定されたロウは選択状態となり、ワード線 WL は  $V_{pr}$  = 接地レベルになる。ここでは、不良ロウアドレスを選択しているのに、不良ロウのみ接地レベルとなり、他のロウは全て消去電位である  $V_{bb}$  レベルとなる。よって、不良セルのコントロールゲートへのストレス印加はなくなり、前述の経時的な絶縁膜破壊の問題を回避できる。一方、スペアロウについては、リダンダンシ置き換えが行われている場合に限り、消去時にワード線 WL には負電位  $V_{bb}$  が印加され、未使用のスペアロウは接地レベルに固定される。

【0055】以上の制御は、図 1 に示した消去信号 ERS、スペアロウ活性化信号 SPEi、選択アドレスと不良アドレスとの一致信号 HIT により行われる。ところで、メモリセルアレイ 31 中のセルトランジスタのソースはブロック内で全て共通となっている。このため、不良セルが存在する場合は、スペアセルへの置き換えを行った後でも、消去時には不良セルのソースにも消去電位が印加される。しかし、SEG 方式の場合、SE 方式に比べソース電位はかなり低くなっており（例えば SE 方式の 1.2 V 程度に対して SGE 方式では 5 V 程度）、トンネル電流を流すのに十分な電界を保つには、ゲートに負電位を印加することが必要である。よって、不良セルのソースがバイアスされただけで他のセル同様に消去されてしまうことはない。逆にゲートとドレインが接地された状態でソースをバイアスすると、フローティングゲート内の電荷量が安定状態に収束する現象が知られている。よって、絶縁膜のカップリングとバイアスレベルをうまく整合させることにより、不良セルは、消去による閾値電圧の低下ではなく、ある安定した正の値を持つ閾値電圧への収束が期待できる。このことから、全てのビット線を接地し、ドレインを接地状態にすると、不良ロウと未使用のスペアロウはコントロールゲートが接地されるため、消去時にソースに消去電位が印加されても、閾値電圧は正のある値に落ち着く。よって、不良セルとスペアロウは消去されることはなく、これらのセルへの消去前書き込みが不要となる。これにより、書き込み不良のセルについてもスペアロウによる救済が可能となる。また、消去シーケンスの簡略化と時間短縮が図れる。

【0056】図 6 は、この発明の第 2 の実施例に係る不揮発性半導体記憶装置について説明するためのもので、フラッシュメモリにおけるロウデコード回路と消去動作に関係する周辺回路部を抽出して示している。図 6 において、前記図 1 と同一構成部には同じ符号を付してその詳細な説明は省略する。すなわち、この第 2 の実施例では、コンパレータ 26 から出力される一致信号 HIT をアドレスラッチ回路 23 に供給するようにしている。このアドレスラッチ回路 23 には、アドレスカウンタ 24

22

から出力されるアドレス信号及び第 1 の実施例と同様にアドレスバッファ 21 から出力されるアドレス信号が供給されており、上記一致信号 HIT によってアドレスラッチ回路 23 のデータの取り込み動作が制御される。

【0057】各電位のレベルとワード線のレベルは表 2 と同じである。消去時に内部アドレスを不良アドレスの選択状態にして、不良ロウと未使用のスペアロウを接地レベルに固定することは第 1 の実施例と同様である。よってデコーダに関しては全く同様である。第 1 の実施例と異なるのは、アドレスバス AB への不良アドレスの転送方法である。

【0058】本実施例での制御を図 7 のタイミングチャートを参照しつつ順に説明する。消去を行う前に、アドレスカウンタ 24 にカウントアップ信号が供給されると、アドレスカウンタ 24 でロウアドレスが順次インクリメントされ、アドレスマルチプレクサ 22 を介してアドレスバス AB にアドレス信号が供給される。アドレスバス AB に出力されたロウアドレスとリダンダンシ ROM 29 に記憶した不良ロウアドレスとの一致がコンパレータ 26 でチェックされ、一致するとコンパレータ 26 から “H” レベルの一致信号 HIT が出力される。上記 HIT 信号が “H” レベルとなると、アドレスカウンタ 24 から出力されるアドレスがアドレスラッチ回路 23 にラッチされる。そして、消去信号 ERS が “H” レベルとなると、アドレスラッチ回路 23 にラッチしたアドレスをアドレスマルチプレクサ 22 で選択してアドレスバス AB に転送し、アドレスバス AB を不良アドレスの選択状態にする。これによって、不良ワード線の電位は接地 GND レベルに固定され、スペアワード線の電位は負電位となる。一方、正常なワード線が選択された場合には負電位が印加される。

【0059】上記のような構成によれば、従来の回路に比べて付加回路をほとんど設けることなく書き込み不良のセルや絶縁膜破壊不良のセルの救済が可能となり、リダンダンシ技術を用いた不良品の救済率を大幅に向上できる。アドレスをインクリメントしての不良アドレスチェックのシーケンスが必要であるが、シーケンスの追加であるため、回路規模はほとんど増大しない。また、上記第 1 の実施例では、リダンダンシ ROM 29 の記憶データを直接アドレスマルチプレクサ 22 に入力するので、ロウアドレスの本数分の信号線を両回路間に設ける必要があった。このため、メガビット級のメモリでは 10 本近くになり、両回路が離れている場合、多大な配線領域が必要となる恐れがあるが、このような場合には第 1 の実施例よりも第 2 の実施例に示した回路の方が有利である。

【0060】図 8 は、この発明の第 3 の実施例に係る不揮発性半導体記憶装置について説明するためのもので、フラッシュメモリにおけるロウデコード回路と消去動作に関係する周辺回路部を抽出して示している。この図 8

23

に示す回路では、上記図1に示した回路におけるレベルシフト57、…の入力端にラッチ回路(R/Sフリップフロップ)61、…、61を設けると共に、レベルシフト59の入力端にラッチ回路(R/Sフリップフロップ)62を設けている。上記フリップフロップ61、…、61のセット入力端Sにはアンドゲート63、…、63から出力されるデコード信号が供給され、リセット入力端Rにはラッチ信号LAHの反転信号/LAHが供給される。そして、これらフリップフロップ61、…、61の出力/Qがそれぞれ、レベルシフト57、…の入力端に供給される。上記アンドゲート63、…、63の入力端にはロウプリデコード信号RPD及びリセット信号RSTが供給される。

【0061】また、上記フリップフロップ62のセット入力端Sにはオアゲート64の出力信号が供給され、リセット入力端Rにはアンドゲート65の出力信号が供給される。このフリップフロップ62の出力/Qはレベルシフト59の入力端に供給される。上記オアゲート64の一方の入力端にはリセット信号RSTが供給され、他方の入力端にはアンドゲート66の出力信号が供給される。上記アンドゲート65の一方の入力端にはラッチ信号LAHが供給され、他方の入力端にはスペアロウ活性化信号SPEiが供給される。上記アンドゲート66の第1の入力端にはエクスクルーシブノアゲート67から出力されるロウプリデコードの活性化信号PREが供給され、第2の入力端には上記スペアロウ活性化信号SPEiが供給され、第3の入力端には上記ラッチ信号LAHの反転信号が供給される。更に、上記エクスクルーシブノアゲート67の一方の入力端にはコンパレータ26から出力される一致信号HITが供給され、他方の入力端にはラッチ信号LAHが供給されるようになっている。ロウプリデコード25の活性化信号PREは、ラッチ信号LAHが一致信号HITのエクスクルーシブオアの反転となっているので、両信号が一致した時に“H”レベルとなり、不一致の時は“L”レベルとなる。

【0062】各電位のレベルとワード線のレベルは表2と同じである。不良ロウと未使用のスペアセルについては消去時にゲートを接地電位に固定するという点では第1の実施例と同様である。本実施例では、メインデコード56でワード線WL毎にラッチ回路61、…、61を設けて選択と非選択をワード線WL毎にラッチできるようにしている。よって、消去を行いたくない不良セルのあるロウと未使用のスペアロウに限り選択状態に、その他の消去すべきロウは非選択状態にラッチ回路61をセットしてから消去動作に入れば良い。

【0063】以下、上記図8に示した回路の動作を説明する。まず、消去以外のモードについて考える。消去モード以外では、ラッチ信号LAHとリセット信号RSTは“L”レベル固定とする。メインデコード56内のラッチ回路61では、リセット入力であるラッチ信号/L

24

AHが“H”レベル固定となるので、出力/Qはデコード入力の反転信号が出力され、ラッチ回路61、…、61は単なるインバータ動作を行う。よって、デコード信号が“H”レベルとなったときにワード線WLは選択状態となる。次に、一致信号HITが“L”レベルの場合を考える。このとき活性化信号PREは“H”レベルとなるので、プリデコード25はアドレスに応じた選択を行う。よって、アドレス信号で指定されたワード線WLが選択される。この際、スペアロウは非選択状態となる。

【0064】一致信号HITが“H”レベル、すなわち不良セルが選択されると、プリデコード25の活性化信号PREが“L”レベルとなり、プリデコード25は非活性化され選択されたワード線は非選択となる。一方、スペアロウ活性化信号SPEiは“H”レベルとなるので、指定される置き換え先のスペアロウが選択される。よって、不良アドレス選択時のみスペアロウに置き換えるという所望の動作がなされている。

【0065】次に、消去モードについて図9のタイミングチャートを参照しつつ説明する。消去を行う際には、まずリセット信号RSTを“H”レベルにする。これによって、ワード線WLは全て非選択状態、スペアロウは全て選択状態となる。この状態のままでラッチ信号LAHを“H”レベルに設定するとラッチモードに入る。ラッチ信号LAHが“H”レベルになることで、各ワード線のフリップフロップ61、…、61はラッチ動作に入るが、このとき各ワード線は非選択状態に、スペアワード線は全て選択状態にラッチされる。ラッチ終了後、リセット信号RSTを“L”レベルに戻す。次に、第2の実施例と同様に、アドレスカウンタ24でロウアドレスを順にインクリメントし、リダグダンシROM26に記憶された不良ロウアドレスと一致しているか否かをコンパレータ26でチェックする。一致していない時は、一致信号HITは“L”レベルであるので、活性化信号PREは“L”レベルとなり、プリデコード25は非活性化され、全てのワード線(スペアワード線を除く)WLは非選択状態にある。よって、ワード線のラッチデータは変化しない。一致した時のみ一致信号HITが“H”レベルとなり、プリデコード25が活性化される。よって、この時のアドレス、つまり不良ロウアドレスで選択されているワード線のデコード信号が“H”レベルとなり、そのワード線のラッチデータが選択状態に変化して保持される。図9では、不良ロウアドレスが2つ存在する場合を示しており、不良アドレス1と不良アドレス2に対応して一致信号HITが出力されると、これらのアドレスに対応する不良ロウ1、2の/Qはともに“L”レベル、正常ロウの/Q出力は“H”レベルとなる。一方、スペアロウについては、不良アドレスが選択され、置き換えるべきスペアロウの活性化信号SPEiが

“H”レベルになると、ラッチ回路62が選択状態から非選択状態に変化して保持される。すなわち、不良アドレス1に対応するスペアロウの/Q出力は実線で示すように“H”レベル、不良アドレス2に対応するスペアロウの/Q出力は破線で示すように“H”レベルとなり、未使用のスペアロウの/Q出力は“L”レベルに固定される。

【0066】よって、全アドレスをインクリメントした後は、不良ロウと未使用のスペアロウのラッチ回路は選択状態（ラッチ状態）に、それ以外のロウは非選択状態（リセット状態）に保持されている。このようにラッチしたデータを保持した状態で消去を行えば、消去信号が“H”レベルの期間にラッチ回路61、62の出力/Qが“H”レベルのワード線及びスペアワード線には消去電位が印加され、/Qが“L”レベルのワード線及びスペアワード線には接地電位が印加される。

【0067】上述した第3の実施例では、各ワード線にラッチ回路を設ける必要があるが、同一ブロック内にランダムに複数本の不良が存在する場合にもワード線及びスペアワード線に対する消去のための負電位の印加が回避できるという効果が得られる。ラッチモードでのアドレスインクリメントについては、第2の実施例と同様に行えば良い。

【0068】なお、いずれの実施例でもワード線を一本単位で制御する場合を例に取って説明したが、複数本の単位でスペアロウの置き換えを行う場合は、それぞれその複数本単位で選択あるいは非選択を制御すれば良い。

#### 【0069】

【発明の効果】以上説明したように、この発明によれば、従来のフラッシュメモリにおいてスペアロウを用いても救済できなかった、書き込み不良のセルや絶縁膜破壊不良のセルの救済が可能となり、リダンダンシ技術を用いた不良品の救済率を大幅に向上できる。また、消去シーケンスの簡略化と時間の短縮も図れる。

#### 【図面の簡単な説明】

【図1】この発明の第1の実施例に係る不揮発性半導体記憶装置について説明するためのもので、フラッシュメモリのロウデコード回路と消去動作に関係する周辺回路部を抽出して示す回路図。

【図2】図1に示した回路におけるリダンダンシROMの構成例について説明するための回路図。

【図3】図1に示した回路における第1のレベルシフタの構成例を示す回路図。

【図4】図1に示した回路における第2のレベルシフタの構成例を示す回路図。

【図5】図1に示した回路におけるバッファの構成例を示す回路図。

【図6】この発明の第2の実施例に係る不揮発性半導体記憶装置について説明するためのもので、フラッシュメ

モリのロウデコード回路と消去動作に関係する周辺回路部を抽出して示す回路図。

【図7】図6に示した回路の動作を説明するためのタイミングチャート。

【図8】この発明の第3の実施例に係る不揮発性半導体記憶装置について説明するためのもので、フラッシュメモリのロウデコード回路と消去動作に関係する周辺回路部を抽出して示す回路図。

【図9】図8に示した回路の動作を説明するためのタイミングチャート。

【図10】フラッシュメモリのメモリセルを示す断面図。

【図11】フラッシュメモリの一般的な消去方法を説明するための断面図。

【図12】図11に示した消去方法を採用した場合のメモリセルの構成例を示す断面図。

【図13】フラッシュメモリにおける他の消去方法について説明するための断面図。

【図14】従来の不揮発性半導体記憶装置について説明するためのもので、フラッシュメモリにおけるロウデコード回路と消去動作に関係する周辺回路部を抽出して示す回路図。

【図15】図14に示した回路におけるレベルシフタの構成例を示す回路図。

【図16】図14に示した回路におけるバッファの構成例を示す回路図。

【図17】図16に示した回路におけるNチャネル型MOSトランジスタの構成例について説明するための断面図。

【図18】図14に示した回路におけるセルトランジスタの絶縁膜不良の一例について説明するための断面図。

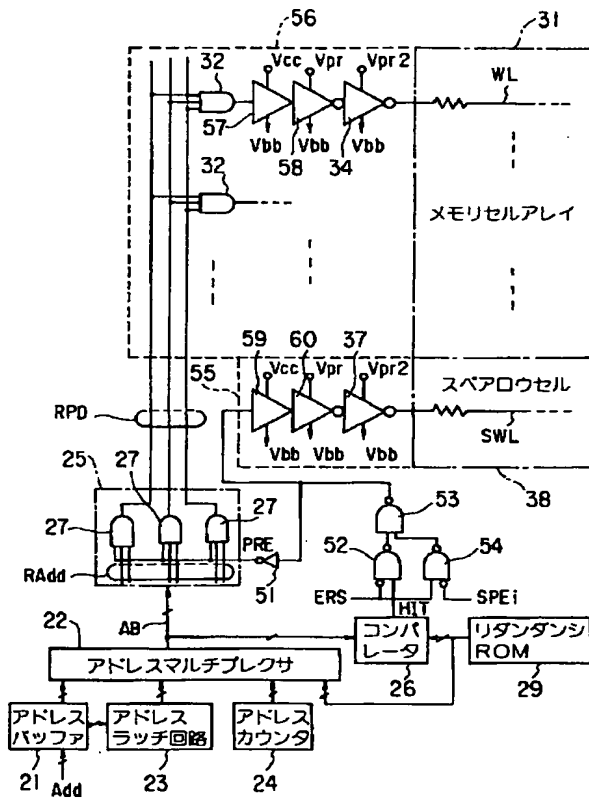
【図19】図14に示した回路におけるセルトランジスタの絶縁膜不良の他の例について説明するための断面図。

#### 【符号の説明】

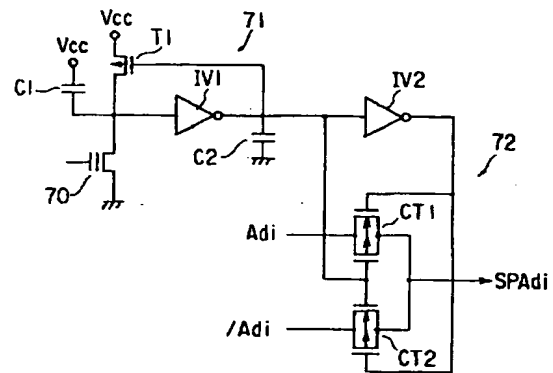
21…アドレスバッファ、22…アドレスマルチプレクサ、23…アドレスラッチ回路、24…アドレスカウンタ、25…ロウブリデコーダ、26…コンパレータ、29…リダンダンシROM、31…メモリセルアレイ、34、37…バッファ、38…スペアロウセル、55…スペアロウデコーダ、56…メインロウデコーダ、57、57…第1のレベルシフタ、58、60…第2のレベルシフタ、61、62…R/Sフリップフロップ、Add…アドレス信号、RAdd…ロウアドレス信号、RPD…ロウブリデコード信号、PRE…ブリデコーダ活性化信号、HIT…一致信号、ERS…消去信号、SPEi…スペアロウ活性化信号、WL…ワード線、SWL…スペアワード線。



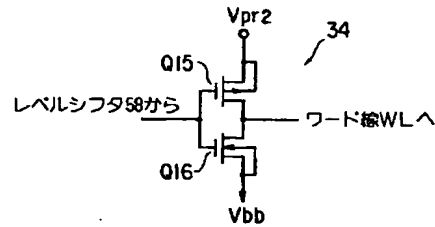
【図1】



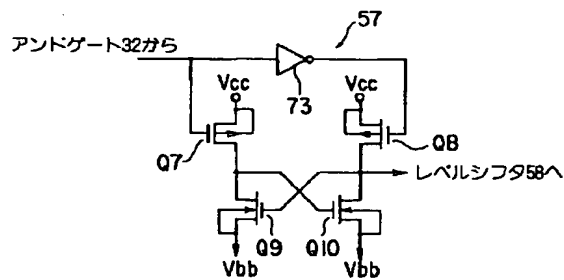
【図2】



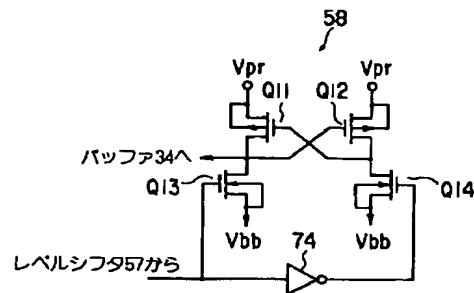
【図5】



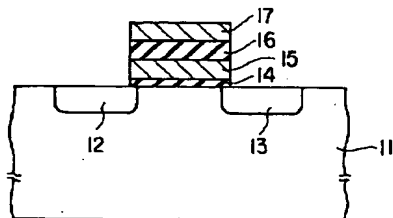
【図3】



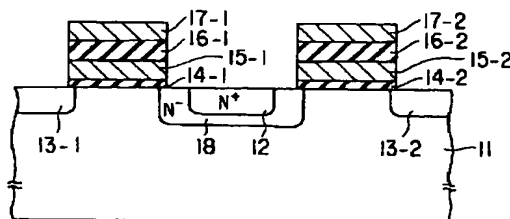
【図4】



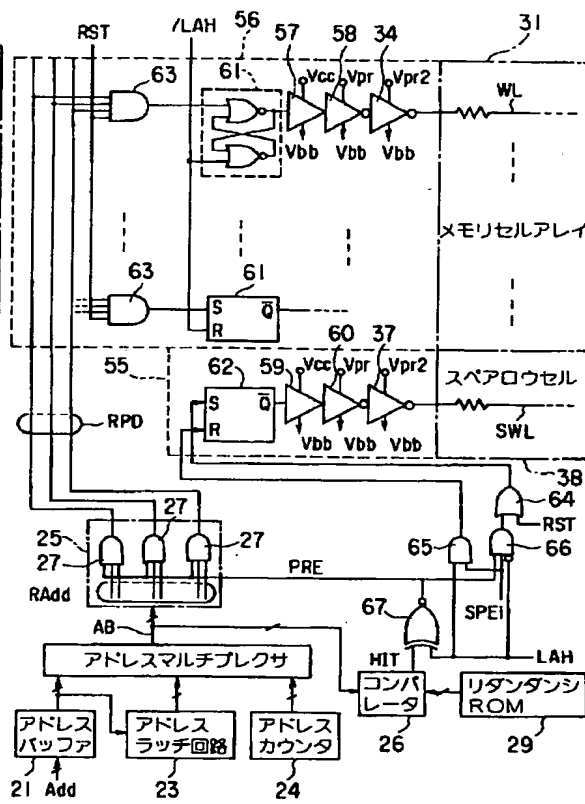
【図10】



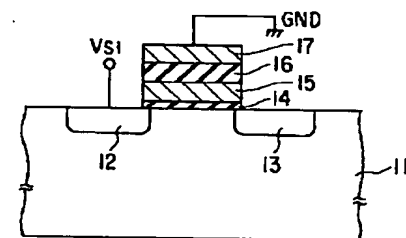
【図12】



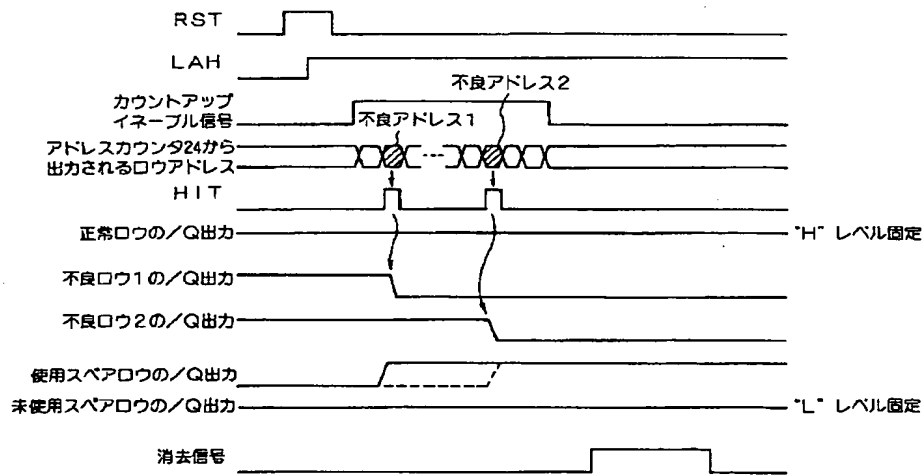
【図 8】



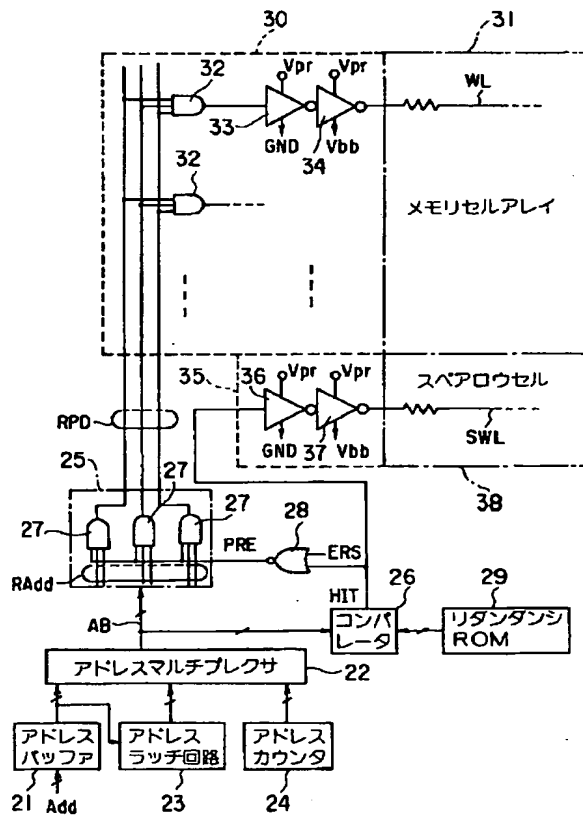
【図 1 1】



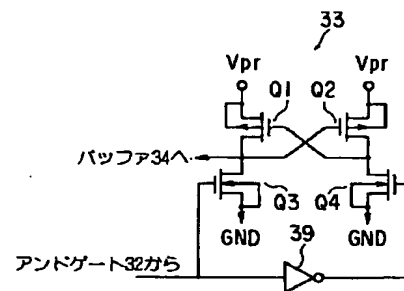
【図9】



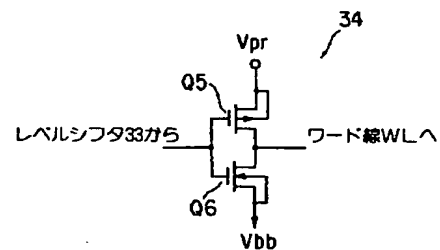
【図14】



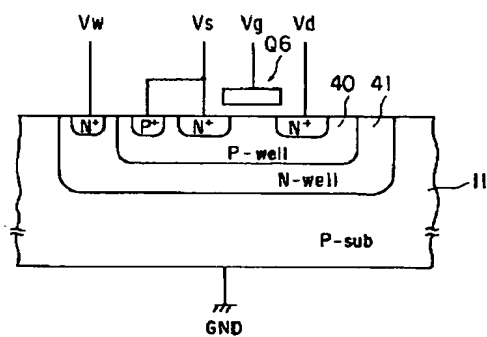
【図15】



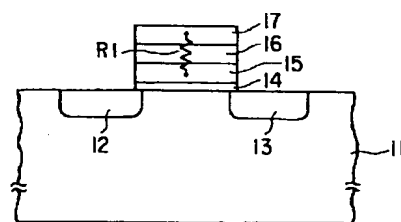
【図16】



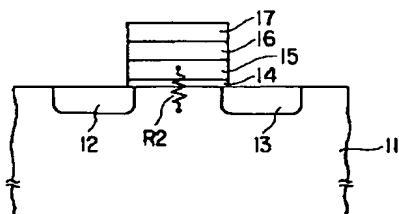
【図 17】



【図 18】



【図 19】



フロントページの続き

(51) Int. Cl.<sup>6</sup>

H01L 27/115  
21/8247  
29/788  
29/792

識別記号

庁内整理番号

F I

技術表示箇所

H01L 27/10  
29/78

434  
371